

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-276400

(P2000-276400A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl.  
G 0 6 F 12/06

識別記号  
5 4 0

F I  
G 0 6 F 12/06

テ-マコ-ト\* (参考)  
5 4 0 F 5 B 0 6 0

審査請求 有 請求項の数 4 O L (全 16 頁)

(21) 出願番号 特願平11-81288

(22) 出願日 平成11年3月25日 (1999.3.25)

(71) 出願人 391012648

広島大学長

広島県東広島市鏡山1丁目3番2号

(72) 発明者 マタウシュ ハンスユルゲン

広島県東広島市西条町大沢849-2

(74) 代理人 100059258

弁理士 杉村 暁秀 (外 8 名)

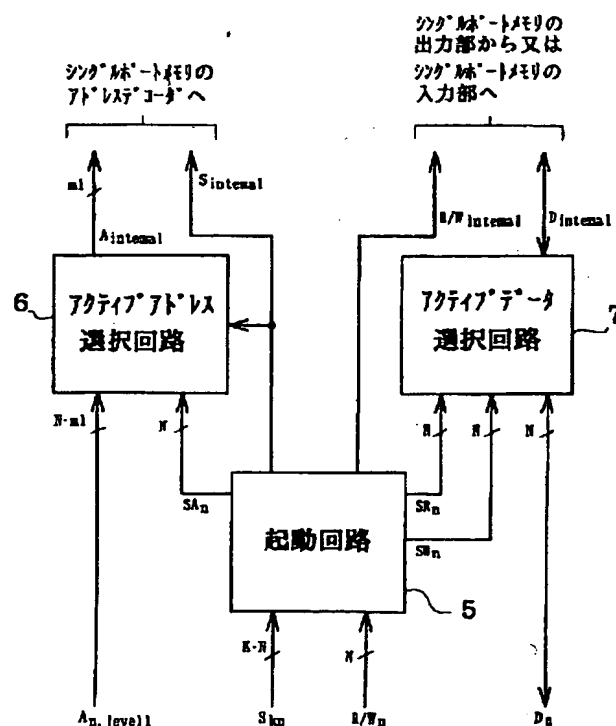
Fターム(参考) 5B060 HA00 MB05

(54) 【発明の名称】 アドレス及びデータ転送回路

(57) 【要約】

【課題】 アドレス及びデータ転送回路を用いて、占有面積を大幅に減少させながらテラビット級のバンド周波数を達成することができる階層構造型マルチポートメモリを実現する。

【解決手段】 起動回路5は、外部のNポートのうちのいずれかのポートからのアクセス要求に応じて、アクティブアドレス選択回路6及びアクティブデータ選択回路7を起動させるとともに、対応するシングルポートメモリを動作可能にする。



## 【特許請求の範囲】

【請求項 1】 外部の複数のポートのうちのいずれかのポートからのアクセス要求に応じて、対応するシングルポートメモリを動作可能にする起動手段と、

この起動手段の起動によってアドレスを選択するアドレス選択手段と、

前記起動手段の起動によってデータを選択するデータ選択手段とを具えることを特徴とする階層構造型マルチポートメモリ用アドレス及びデータ転送回路。

【請求項 2】 前記起動手段が、

前記複数のポートの各々に対応する選択信号が外部から入力されるとともに、前記アドレス選択手段にアドレス選択信号を出力するアドレス選択起動手段と、

前記複数のポートの各々に対応する外部からの読出し／書込み信号及び対応する前記アドレス選択起動手段からのアドレス選択信号が入力されるとともに、これら読出し／書込み信号及びアドレス選択信号に基づいた読出し信号及び書込み信号を出力する読出し／書込み動作起動手段と、

前記アドレス選択信号が入力されるとともにその論理和を前記アドレス選択手段及び前記シングルポートメモリに出力する第 1 論理和演算手段と、

前記読出し信号及び書込み信号が入力されるとともにその論理和を前記シングルポートメモリに出力する第 2 論理和演算手段とを有することを特徴とする請求項 1 記載の階層構造型マルチポートメモリ用アドレス及びデータ転送回路。

【請求項 3】 前記アドレス選択手段を、外部からのアドレス信号をマルチプレクサ処理してその出力を前記シングルポートメモリに入力するマルチプレクサによって構成したことを特徴とする請求項 1 又は 2 記載の階層構造型マルチポートメモリ用アドレス及びデータ転送回路。

【請求項 4】 前記データ選択手段を、外部からのデータをマルチプレクサ処理してその出力を前記シングルポートメモリに出力するマルチプレクサと、前記シングルポートメモリからのデータをデマルチプレクサ処理してその出力を外部に出力するデマルチプレクサとによって構成したことを特徴とする請求項 1 から 3 のうちのいずれか 1 項に記載の階層構造型マルチポートメモリ用アドレス及びデータ転送回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シングルポートメモリセルで構成する階層構造型マルチポートメモリに必要なアドレス及びデータ転送回路に関するものである。

【0002】

【従来の技術】音声及び／又は映像処理、翻訳機のような高度な処理機能を有する 1 チップシステムを実現するためには、広帯域を得ることが不可欠であり、そのため

にはバンド周波数を従来よりも 1～2 桁高くするような技術の進歩が必要である。この要件を満足させるためには、到達し得るバンド周波数の限界が 50 Gbit/s 前後であるシングルポートメモリの代わりにテラビット級のバンド周波数に達成し得るマルチポートメモリを利用することが不可欠である。このようなテラビット級のバンド周波数を、例えば、実用的なクロック周波数である 500 MHz の下で 64 ビットのワード長を有する 32 ポートのマルチポートメモリで達成することができる。

10

【0003】通常のマルチポートメモリを構成する場合、回路面積を大きくする必要があるため、それを実用的な大容量メモリとして利用するのが困難である。このような不都合を回避するために、例えば、1997 年 9 月 16～18 日に英国のサウサンプトンで発行された Proc. 23<sup>rd</sup> European Solid-State Circuits Conf. の 348～351 ページの “Hierarchical N-Port Memory Architecture based on 1-Port Memory Cells” に示したような新たな階層構造型マルチポートメモリが提案されている。このようなマルチポートメモリはシングルポートメモリによって構成されているので、回路面積を大きくする必要がない。

20

【0004】

【発明が解決しようとする課題】しかしながら、階層構造型マルチポートメモリは、データの入出力機能及びシングルポートメモリへの接続機能を有する必要があるため、通常のマルチポートメモリでは必要のないアドレス及びデータ転送回路を有する必要がある。

30

【0005】本発明の目的は、占有面積を大幅に減少させながらテラビット級のバンド周波数を達成することができる階層構造型マルチポートメモリ用アドレス及びデータ転送回路を提供することである。

【0006】

【課題を解決するための手段】本発明による階層構造型マルチポートメモリ用アドレス及びデータ転送回路は、外部の複数のポートのうちのいずれかのポートからのアクセス要求に応じて、対応するシングルポートメモリを動作可能にする起動手段と、この起動手段の起動によってアドレスを選択するアドレス選択手段と、前記起動手段の起動によってデータを選択するデータ選択手段とを具えることを特徴とするものである。

40

【0007】本発明によれば、起動手段は、外部の複数のポートのうちのいずれかのポートからのアクセス要求に応じて、対応するシングルポートメモリを動作可能にする。この際、アドレス選択手段及びデータ選択手段はそれぞれ、起動手段の起動によってアドレス及びデータを選択する。

50

【0008】このようなアドレス及びデータ転送回路に

よって、占有面積を大幅に減少させながらテラビット級のバンド周波数を達成することができる階層構造型マルチポートメモリを実現することができる。

【0009】好適には、前記起動手段が、前記複数のポートの各々に対応する選択信号が外部から入力されるとともに、前記アドレス選択手段にアドレス選択信号を出力するアドレス選択起動手段と、前記複数のポートの各々に対応する外部からの読出し／書込み信号及び対応する前記アドレス選択起動手段からのアドレス選択信号が入力されるとともに、これら読出し／書込み信号及びアドレス選択信号に基づいた読出し信号及び書込み信号を出力する読出し／書込み動作起動手段と、前記アドレス選択信号が入力されるとともにその論理和を前記アドレス選択手段及び前記シングルポートメモリに出力する第1論理和演算手段と、前記読出し信号及び書込み信号が入力されるとともにその論理和を前記シングルポートメモリに出力する第2論理和演算手段とを有する。

【0010】好適には、前記アドレス選択手段を、外部からのアドレス信号をマルチプレクサ処理してその出力を前記シングルポートメモリに入力するマルチプレクサによって構成する。

【0011】好適には前記データ選択手段を、外部からのデータをマルチプレクサ処理してその出力を前記シングルポートメモリに出力するマルチプレクサと、前記シングルポートメモリからのデータをデマルチプレクサ処理してその出力を外部に出力するデマルチプレクサとによって構成する。

【0012】

【発明の実施の形態】本発明によるアドレス及びデータ転送回路を、図面を参照して詳細に説明する。図1は、本発明によるアドレス及びデータ転送回路を有する階層構造型マルチポートメモリの線形図である。N (Nを2以上の整数とする。) ポートを有するとともに第2階層のみを示したこの階層構造型マルチポートメモリは、一列に配置されたM個のシングルポートメモリ1-1~1-Mと、これらシングルポートメモリ1-1~1-Mに対応するアドレス及びデータ転送回路2-1~2-Mと、第2階層のアドレスデコーダ(図示せず)のポートと対応するシングルポートメモリとの接続を行う接続回路3と、各瞬時に1ポートのみが1個のシングルポートメモリにアクセスできるようにする衝突処理回路4とを具える。本例では、ワード長を1ビットにする。

【0013】シングルポートメモリ1-1~1-Mをそれぞれ、データ入力部、データ出力部、アドレスデコーダ(いずれも図示せず)等を有する従来既知の任意の構成のものとする。

【0014】アドレス及びデータ転送回路2-1~2-Mの各々は、各々がk (kを1以上の整数とする。) ビットを有する対応するシングルポートメモリ用のN個の外部選択信号S<sub>1</sub>~S<sub>N</sub>を接続回路3から入力されると

ともに、各々がm<sub>1</sub> (m<sub>1</sub>を1以上の整数とする。) ビットを有するクロックレベルのN個の第1階層のアドレス信号An, level1及びN個の外部読出し／書込み信号R/W。 (1≤n≤N) が外部から入力される。また、アドレス及びデータ転送回路2-1~2-Mの各々に、N個のデータ信号Dnを接続回路3を通じて入力する。

【0015】接続回路3は、各々がm<sub>2</sub> (m<sub>2</sub>を1以上の整数とする。) ビットを有する外部からのN個の第2階層のアドレス信号An, level2及びN個の外部読出し／書込み信号R/W。並びに衝突処理回路4からのN個の衝突規制信号が入力される。衝突処理回路4は、第2階層のアドレスビットAn, level2が入力されるとともにN個の衝突状況信号を外部に出力する。なお、衝突処理回路4は、アクセスサイクル内で1個のシングルポートメモリに2ポート以上アクセスすることがないことを保証する。

【0016】図1に示したマルチポートメモリ及び接続回路3の詳細な構成及び動作は、例えば上記文献に開示されており、衝突処理回路4の詳細な構成及び動作は、例えば、1998年11月22~24日にオランダ国のハーグで発行されたProc. 24th European Solid-State Circuits Conf., の140~143ページの“An Area-Efficient Circuit Concept for Dynamical Conflict Management of N-Port Memories with Multi-GBit/s Access Bandwidth”に開示されており、ここでは詳細に説明しない。

【0017】図2は、本発明によるアドレス及びデータ転送回路の実施の形態の構成図である。これは、階層構造型マルチポートメモリの第1階層のうちのアドレス及びデータ転送回路のみを示したものであり、図1のアドレス及びデータ転送回路2-1~2-Mのうちの任意の1個に対応する。このアドレス及びデータ転送回路は、対応するシングルポートメモリ(図示せず)を動作可能にする起動回路5と、アクセスを要求するポート(ポートi)からのアドレスを選択するアクティブアドレス選択回路6と、アクセスを要求するポートからのデータを選択するアクティブデータ選択回路7とを有する。

【0018】起動回路5は、外部のNポートのうちのいずれかのポートからのアクセス要求に応じて、アクティブアドレス選択回路6及びアクティブデータ選択回路7を起動させるとともに対応するシングルポートメモリ(図示せず)を動作可能にする。具体的には、起動回路5に、図1の外部選択信号S<sub>1</sub>~S<sub>N</sub>のうちのいずれかに対応する各ポートからのkビット信号の外部選択信号S<sub>ik</sub>及び各ポートからの1ビット信号の外部読出し／書込み信号R/W。が外部から入力されるとともに、起動

回路5は、N個のアドレス選択信号 $SA_n$ をアクティブアドレス選択回路6に出力し、N個の読出し選択信号 $SR$ 、及びN個の書込み選択信号 $SW$ をアクティブデータ選択回路7に出力し、シングルポートメモリのアドレスデコーダ（図示せず）を駆動させるアドレスデコーダ起動信号 $S_{internal}$ をシングルポートメモリのアドレスデコーダ及びアクティブアドレス選択回路6に出力し、かつ、対応するシングルポートメモリで読出し又は書込み動作を行うための読出し／書込み信号 $R/W_{internal}$ をシングルポートメモリの入力部（図示せず）に出力する。起動回路5の詳細な構成は後に説明する。

【0019】外部選択信号 $S_{kn}$ のビット数 $k$ は、シングルポートメモリの配置に依存し、図1に示したようにシングルポートメモリを一行に配置した場合には $k=1$ で十分である。なお、集積化に適したマトリックス配置にした場合には $k=2$ となり、3次元的な配置であれば $k=3$ となる。

【0020】アクティブアドレス選択回路6は、アドレス選択信号 $SA_n$ 及びアドレスデコーダ起動信号 $S_{internal}$ の他に、各々が $m_i$ ビットを有するN個の第1階層のアドレス信号 $A_n, level1$ が入力され、 $m_i$ ビットのアドレス信号 $A_{internal}$ をシングルポートメモリのアドレスデコーダ（図示せず）に出力する。このアクティブアドレス選択回路6は、ポート $i$ からの $m_i$ ビットの第1階層のアドレス信号 $A_i, level1$ アドレス信号を選択し、それをアドレス信号 $A_{internal}$ としてシングルポートメモリのアドレスデコーダ（図示せず）に出力するように作用するので、N入力1出力マルチプレクサによって構成するのが好適である。アクティブアドレス選択回路6の詳細な構成は後に説明する。

【0021】アクティブデータ選択回路7は、シングルポートメモリの入力部（図示せず）との間でデータ信号 $D_{internal}$ を入力し及びその出力部からデータ信号 $D_{internal}$ を出力するとともに、接続回路3（図1）を通じて外部からN個のデータ信号 $D_n$ を入力し及び外部にそのデータ信号 $D_n$ を出力する。このアクティブデータ選択回路7は、アクセス要求しているポートのデータ線とシングルポートメモリの内部データ線とを接続する機能を有する。また、アクティブデータ選択回路7は、データ信号を外部からシングルポートメモリへ又はシングルポートメモリから外部に送信することができるようにする必要がある。したがって、アクティブデータ選択回路7を双方向N入力1出力／1入力N出力マルチプレクサ／デマルチプレクサによって構成するのが好適である。アクティブデータ選択回路7の詳細な構成は後に説明する。

【0022】なお、本例では、外部のNポートの各々のデータのビット幅を1とするが、ビット幅が $w$ （ $w$ を2以上の整数とする。）の一般的な場合には、データ信号 $D_{internal}$ 及び $D_n$ のビット幅がそれぞれ $w$ となる。

【0023】図3は、図2の起動回路の回路図である。この起動回路は、外部のポート1～ポートNの各々に対応するN個のアドレス選択起動回路8-1, 8-2, ..., 8-N及びN個の読出し／書込み動作起動回路9-1, 9-2, ..., 9-Nと、N入力ORゲート10及び11とを有する。

【0024】これらアドレス選択起動回路8-1, 8-2, ..., 8-Nは、N個の外部選択信号 $S_{11}, S_{21}, \dots, S_{k1}; S_{12}, S_{22}, \dots, S_{k2}; \dots; S_{1N}, S_{2N}, \dots, S_{kN}$ がそれぞれ入力されるとともにアドレス選択信号 $SA_1, SA_2, \dots, SA_n$ をアクティブアドレス選択回路6（図2）にそれぞれ出力する。なお、アドレス選択起動回路8-1, 8-2, ..., 8-Nの各々を、例えば、図4に示すようなN入力ANDゲート12とする。

【0025】これら読出し／書込み動作起動回路9-1, 9-2, ..., 9-Nは、アドレス選択信号 $SA_1, SA_2, \dots, SA_n$ のうちの対応するもの及び外部読出し／書込み信号 $R/W_1, R/W_2, \dots, R/W_n$ のうちの対応するものが入力されるとともに対応する読出し選択信号 $SR_1, SR_2, \dots, SR_n$ 又は対応する書込み選択信号 $SW_1, SW_2, \dots, SW_n$ をアクティブデータ選択回路7（図2）に出力する。

【0026】読出し／書込み動作起動回路9-1, 9-2, ..., 9-Nの各々を、図5に示すように2個の2入力NANDゲート13及び14と、インバータ15とによって構成する。この場合、対応するポート（ポート $n$ ）が選択されなかった場合（ $SA_n=0$ ）、読出し選択信号 $SR$ 、及び書込み選択信号 $SW$ は共に0になる。また、対応するポートが選択された場合（ $SA_n=1$ ）、読出し動作と書込み動作のうちのいずれを実行するか、すなわち、読出し選択信号 $SR$ 、及び書込み選択信号 $SW$ のうちのいずれを1にするかを決定する。

【0027】N入力ORゲート10は、対応する入力部にそれぞれ入力されるアドレス選択信号 $SA_1, SA_2, \dots, SA_n$ の論理和としてアドレスデコーダ起動信号 $S_{internal}$ を出力する。N入力ORゲート11は、対応する入力部にそれぞれ入力される書込み選択信号 $SW_1, SW_2, \dots, SW_n$ の論理和として読出し／書込み信号 $R/W_{internal}$ を出力する。

【0028】図6は、図2のアクティブアドレス選択回路の回路図である。このアクティブアドレス回路を、外部のポート1～ポートNの各々に対応するN個のトランスミッシンゲート16-1, 16-2, ..., 16-Nと、これらトランスミッシンゲートのうちのいずれかの出力が入力されるアドレスデコーダ17と、P型トランジスタのスイッチ18とによって構成されたマルチプレクサ回路とする。

【0029】トランスミッシンゲート16-1, 16

-2, . . . , 16-Nはそれぞれ、アドレス選択信号  $SA_1, SA_2, \dots, SA_N$  によって制御される。このようにして、アクセスしたポートのアドレスビットのみが内部のノードに変換され、アドレスデコーダ17に接続される。

【0030】いずれのポートもシングルポートメモリ（図示せず）にアクセスされない場合、アドレスデコーダ起動信号  $S_{start}$  は0になり、トランスミッションゲートの各々を通過した後、別のフローティングノードを定義された電圧値にプリチャージする。スイッチ18を切り替える。図6の場合、プリチャージ電圧を電源電圧  $V_{dd}$  とする。当然、原理的にはプリチャージを他の電圧によって行うことも可能である。図7にトランスミッションゲートの回路図を示すが、図のp及びnはトランジスタの導電型を示す。

【0031】図8は、アクティブデータ選択回路の回路図である。このアクティブデータ選択回路は、外部のポート1～ポートNの各々に対応するN個の双方向通信バッファ19-1, 19-2, . . . , 19-Nを有する。これら双方向性バッファ19-1, 19-2, . . . , 19-Nの各々は、対応する外部のポートとシングルポートメモリの入力部又は出力部とを接続するように作用する。

【0032】図9は、双方向通信バッファの回路図である。この回路のトライステートバッファ20は、読出し動作を行う際に読出し選択信号  $SR_n$  によって起動され、トライステートバッファ21は、書込み動作を行う際に書込み選択信号  $SW_n$  によって起動される。図10にトライステートバッファの回路図を示す。図10において、n及びpをトランジスタの導電型とし、 $IN, OUT, V_{dd}, V_{ss}$  及び  $Control$  はそれぞれ、入力部、出力部、電源供給電圧、基準電圧及び読出し選択信号  $SR_n$  又は書込み選択信号  $SW_n$  とする。

【0033】本実施の形態の動作を説明する。ポートiが対応するシングルポートメモリにアクセスを要求すると、外部選択信号  $S_{i,n}$  及び読出し/書込み信号  $R/W_i$  が起動回路5に供給されるとともに、第1階層のアクセス信号  $A_{i, level 1}$  がアクティブアドレス選択回路6に供給され、かつ、データ  $D_n$  がアクティブデータ選択回路7に供給される。

【0034】衝突処理回路4は、最大1ポートのアクセスをアクセスサイクルごとにシングルポートメモリに接続する。これによって、外部選択信号  $S_{i,n}$  は1個のポートiに対してシングルポートメモリを起動させることができる。

【0035】ポートiは、対応する全ての外部選択信号  $S_{i,n}$  が1であると、対応するシングルポートメモリにアクセスできるようになる。この場合、起動回路5は、1のアドレス選択信号  $SA_i$  及び1のアドレスデコーダ起動信号  $S_{start}$  を生成する。

【0036】読出し/書込み信号  $R/W_i$  が0の場合、起動信号5は書込み信号  $SW_i$  を生成し、読出し信号  $SR_i$  は0のままである。書込み信号  $SW_i$  のうちの1個が1になれば、読出し/書込み信号  $R/W_{i, start}$  が1となり、シングルポートメモリは書込みモードに切り替わる。それに対して、読出し/書込み信号  $R/W_{i, start}$  が0の場合、シングルポートメモリは読出しモードに保持される。なお、他の全てのポートの読出し信号、書込み信号及びアドレス信号は0に保持される。その理由は、これらのポートが選択されていないからである。

【0037】1のアドレス先端信号  $SA_i$  が起動回路によって生成されると、アクティブアドレス選択回路6は、ポートiのアドレスビットをシングルポートメモリのデコーダに接続するとともに、1のアドレスデコーダ起動信号  $S_{start}$  によってデコーダを起動させる。これによって、特定のシングルポートメモリへのアクセスパスが起動され、読出し/書込み信号  $R/W_{i, start}$  に応じて読出し動作と書込み動作のうちのいずれを実行するかを決定する。

【0038】読出し動作を行う、すなわち  $SR_i = 1$  及び  $RW_i = 0$  の場合、シングルポートメモリから読み出されたデータ  $D_{i, start}$  は、アクティブデータ選択回路7でデマルチプレクサ処理され、このようにマルチプレクサ処理されたデータ  $D_i$  がポートiに出力される。

【0039】書込み動作を行う、すなわち  $SR_i = 0$  及び  $RW_i = 1$  の場合、ポートiからのデータ  $D_i$  をシングルポートメモリの入力部に伝達するトライステートバッファ21を起動させる。このようにして、ポートiからのデータ  $D_i$  がシングルポートメモリに正確に書き込まれる。

【0040】対応するシングルポートメモリが選択されない場合、全てのアドレス選択信号  $SA_i$ 、読出し選択信号  $SR_i$  及び書込み選択信号  $SW_i$  は0に保持される。その結果、アドレス及びデータ転送回路は、全てのポートのアドレス及びデータを対応するシングルポートメモリから分離する。さらに、0のアドレスデコーダ起動信号  $S_{start}$  によってシングルポートメモリのデコーダの動作を停止させる。

【0041】このようなアドレス及びデータ転送回路は、占有面積を大幅に減少させながらテラビット級のバンド周波数を達成することができる階層構造型マルチポートメモリを実現するために不可欠である。従来のマルチポートメモリでは占有面積がポート数の2乗で大きくなるので、ポート数の多いマルチポートメモリを構成する場合、階層構造型マルチポートメモリでは従来のマルチポートメモリに比べて占有面積（シリコン面積）を大幅に減少させることができる。例えば、本発明によるアドレス及びデータ転送回路を具える階層構造型マルチポートメモリが32ポートを有する場合、32ポートを有する従来のマルチポートメモリに比べて占有面積が数分

の1になることが見積もられる。具体的には、シングルポートメモリをROMやDRAMのように小型のメモリとした場合、必要な占有面積が50分の1以下になることが見積もられ、シングルポートメモリをSRAMのような大型のメモリとした場合でも、20分の1以下になることが見積もられる。

【0042】本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。例えば、起動回路、アクティブアドレス選択回路及びアクティブデータ選択回路を、上記実施の形態以外の他の構成とすることができる。また、p型のトランジスタn型にするとともに、n型のトランジスタをp型のトランジスタにすることもできる。さらに、上記信号の値1を値0にするともに値0を値1にすることもできる。

#### 【図面の簡単な説明】

【図1】 本発明によるアドレス及びデータ転送回路を有するマルチポートメモリの線形図である。

【図2】 本発明によるアドレス及びデータ転送回路の実施の形態の構成図である。

【図3】 図2の起動回路の回路図である。

【図4】 図3のアドレス選択動作起動回路の回路図である。

【図5】 図3の読出し／書込み動作起動回路の回路図である。

【図6】 図2のアクティブアドレス選択回路の回路図である。

【図7】 図6のトランSMissionゲートの回路図である。

【図8】 図2のアクティブデータ選択回路の回路図である。

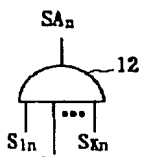
【図9】 図8の双方向通信バッファの回路図である。

【図10】 図8のトリステートバッファの回路図である。

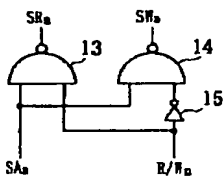
#### 【符号の説明】

- 1-1~1-M シングルポートメモリ
- 2-1~2-M アドレス及びデータ転送回路
- 3 接続回路
- 4 衝突処理回路
- 5 起動回路
- 6 アクティブアドレス選択回路
- 7 アクティブデータ選択回路
- 8-1, 8-2, ..., 8-N アドレス選択起動回路
- 9-1, 9-2, ..., 9-N 読出し／書込み動作起動回路
- 10, 11 N入力ORゲート
- 12 N入力ANDゲート
- 13, 14 2入力NANDゲート
- 15 インバータ
- 16-1, 16-2, ..., 16-N トランSMissionゲート
- 17 アドレスデコーダ
- 18 スイッチ
- 19-1, 19-2, ..., 19-N 双方向性バッファ
- 20, 21 トリステートバッファ

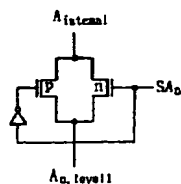
【図4】



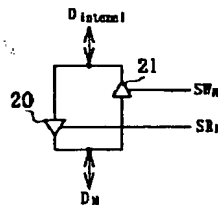
【図5】



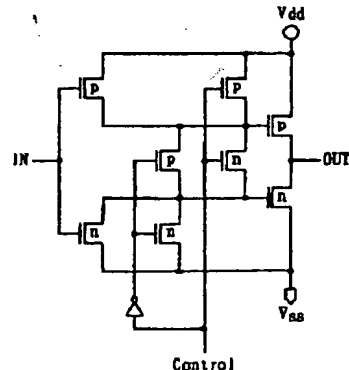
【図7】



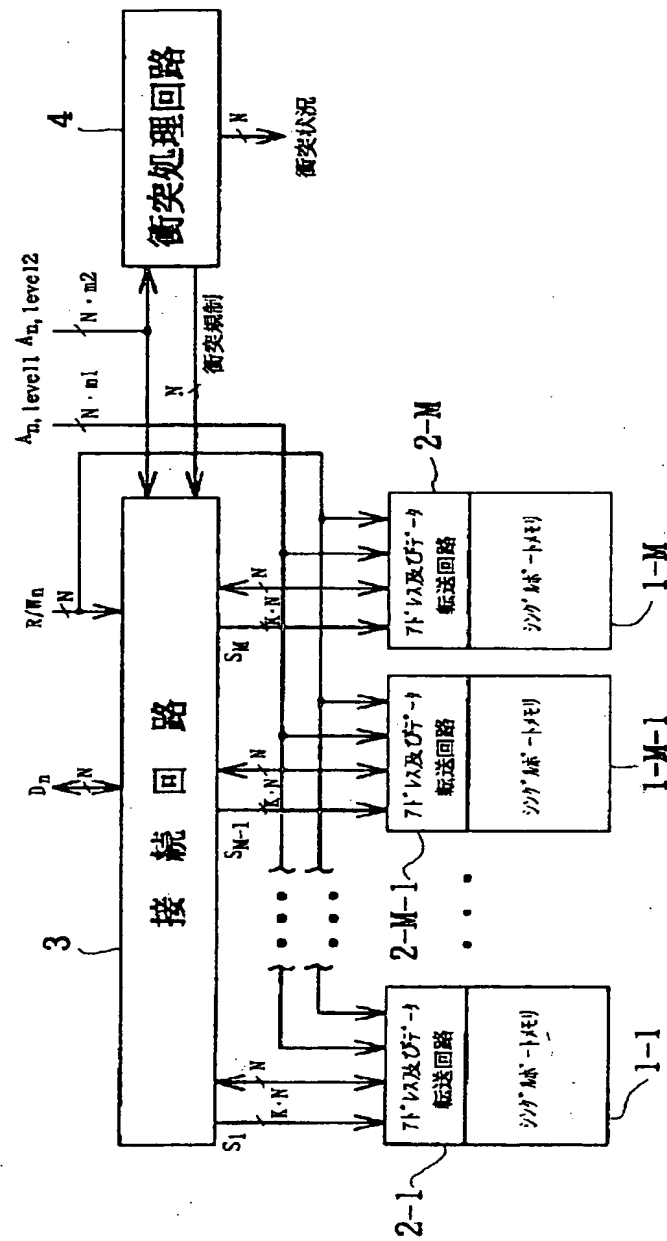
【図9】



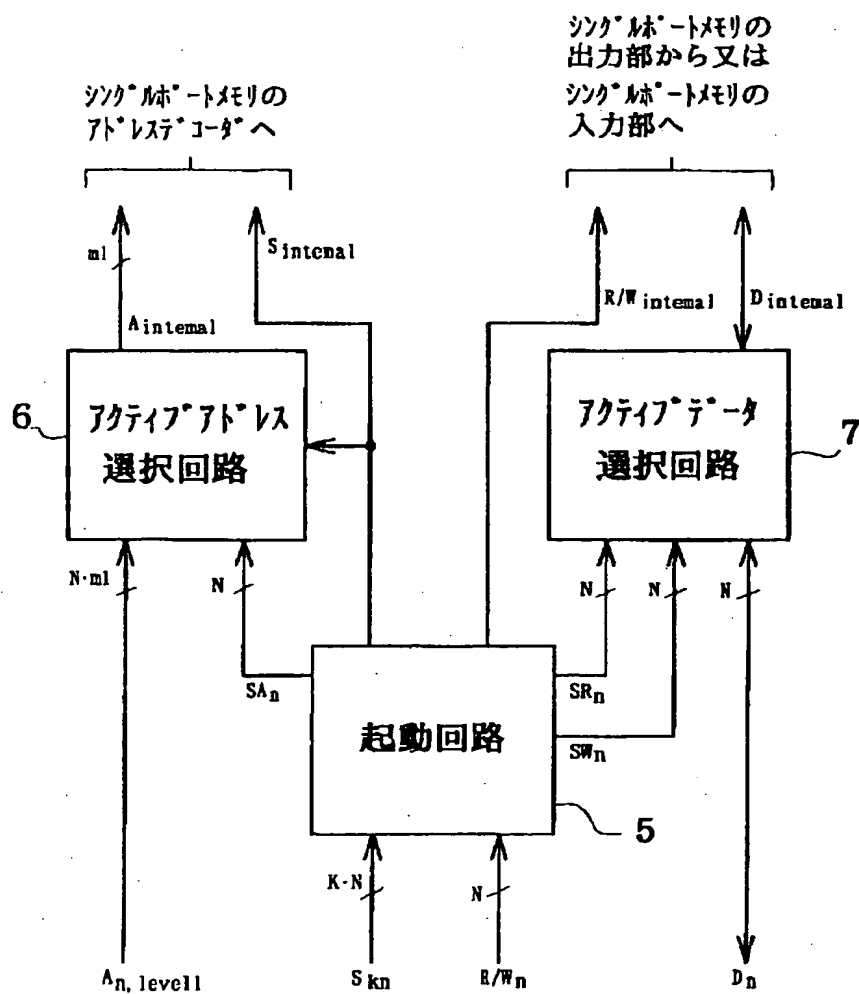
【図10】



【図1】

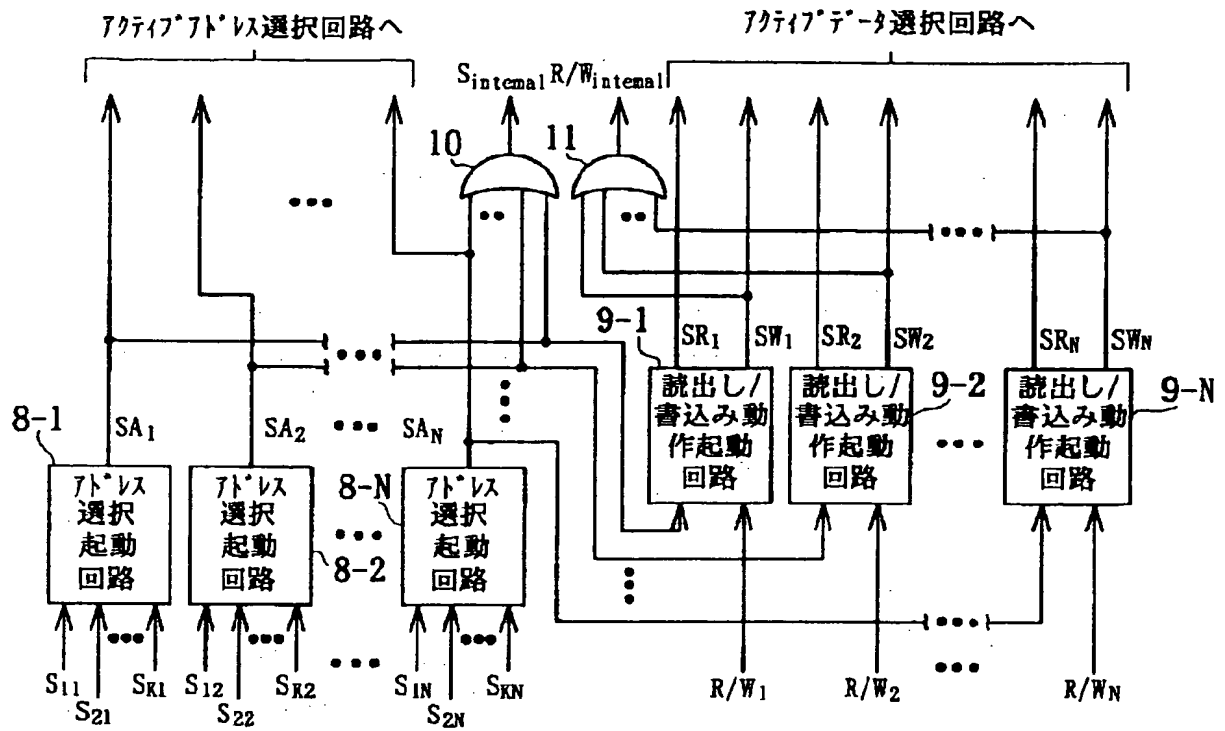


【図2】

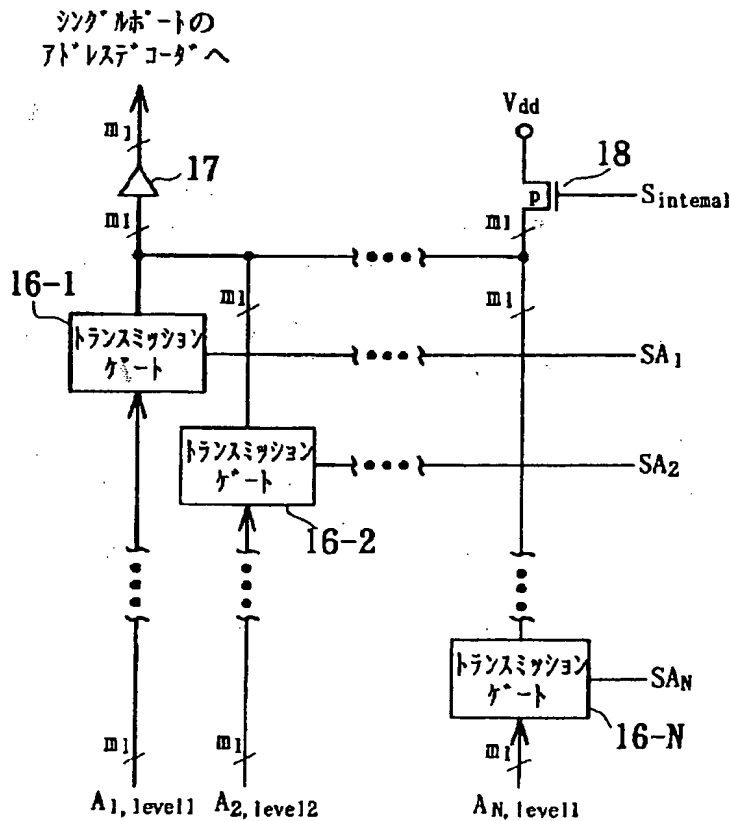




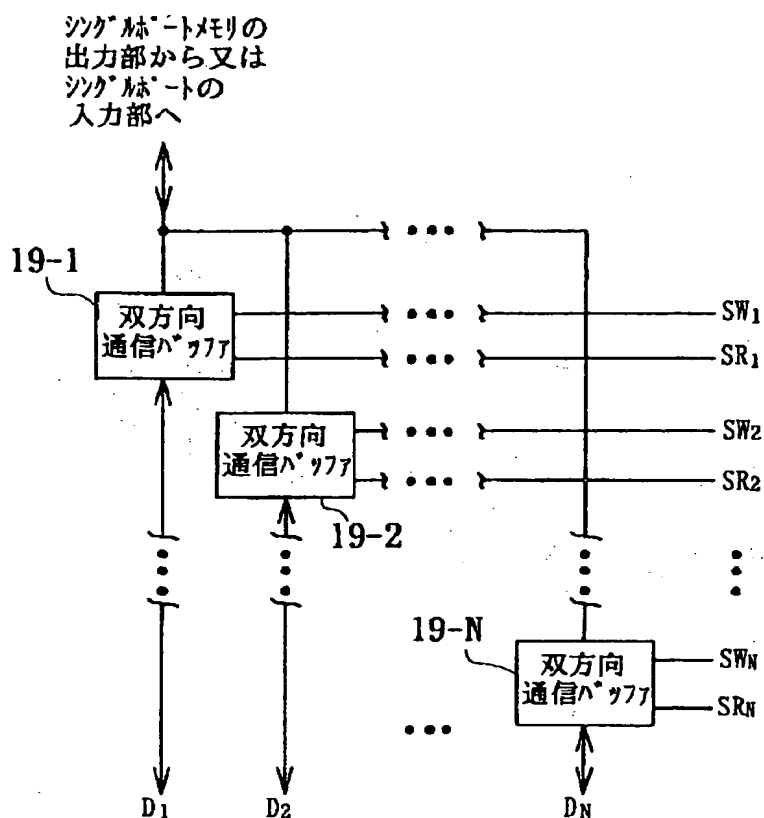
【図3】



【図6】



【図 8】



## 【手続補正書】

【提出日】平成12年4月5日(2000.4.5)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】アドレス及びデータ転送回路

【特許請求の範囲】

【請求項1】 外部の複数のポートのうちのいずれかのポートからのアクセス要求に応じて、対応するシングルポートメモリを動作可能にする起動手段と、

この起動手段の起動によって前記ポートからのアドレスを選択するとともに、そのアドレスを前記シングルポートメモリに転送するアドレス選択及び転送手段と、

前記起動手段の起動によって前記ポートからのデータを選択するとともに、そのアドレスを前記シングルポートメモリに転送するデータ選択及び転送手段とを具備することを特徴とする階層構造型マルチポートメモリ用アドレス及びデータ転送回路。

【請求項2】 前記起動手段が、

前記複数のポートの各々に対応する選択信号が外部から入力されるとともに、前記アドレス選択手段にアドレス選択信号を出力するアドレス選択起動手段と、

前記複数のポートの各々に対応する外部からの読出し／書込み信号及び対応する前記アドレス選択起動手段からのアドレス選択信号が入力されるとともに、これら読出し／書込み信号及びアドレス選択信号に基づいた読出し信号及び書込み信号を出力する読出し／書込み動作起動手段と、

前記アドレス選択信号が入力されるとともにその論理和を前記アドレス選択手段及び前記シングルポートメモリに出力する第1論理和演算手段と、

前記書込み信号が入力されるとともにその論理和を前記シングルポートメモリに出力する第2論理和演算手段とを有することを特徴とする請求項1記載の階層構造型マルチポートメモリ用アドレス及びデータ転送回路。

【請求項3】 前記アドレス選択手段を、外部からのアドレス信号をマルチプレクサ処理してその出力を前記シングルポートメモリに inputsするマルチプレクサによって構成したことを特徴とする請求項1又は2記載の階層構造型マルチポートメモリ用アドレス及びデータ転送回路。

路。

【請求項 4】 前記データ選択手段を、外部からのデータをマルチプレクサ処理してその出力を前記シングルポートメモリに出力するマルチプレクサと、前記シングルポートメモリからのデータをデマルチプレクサ処理してその出力を外部に出力するデマルチプレクサとによって構成したことを特徴とする請求項 1 から 3 のうちのいずれか 1 項に記載の階層構造型マルチポートメモリ用アドレス及びデータ転送回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シングルポートメモリセルで構成する階層構造型マルチポートメモリに必要なアドレス及びデータ転送回路に関するものである。

【0002】

【従来の技術】音声及び／又は映像処理、翻訳機のような高度な処理機能を有する 1 チップシステムを実現するためには、高データ処理ビットレートを得ることが不可欠であり、そのためにはデータ処理バンド幅を従来よりも 1～2 桁高くするような技術の進歩が必要である。この要件を満足させるためには、到達し得るデータ処理バンド幅の限界が 50 Gbit/s 前後であるシングルポートメモリの代わりにテラビット級のアクセスバンド幅に達成し得るマルチポートメモリを利用することが不可欠である。このようなテラビット級のアクセスバンド幅を、例えば、実用的なクロック周波数である 500 MHz の下で各々が 64 ビットのワード長を有する 32 ポートのマルチポートメモリで達成することができる。

【0003】通常のマルチポートメモリを構成する場合、回路面積を大きくする必要があるため、それを実用的な大容量メモリとして利用するのが困難である。このような不都合を回避するために、例えば、1997 年 9 月 16～18 日に英国のサウサンプトンで発行された Proc. 23<sup>rd</sup> European Solid-State Circuits Conf., の 348～351 ページの "Hierarchical N-Port Memory Architecture based on 1-Port Memory Cells" に示したような新たな階層構造型マルチポートメモリが提案されている。このようなマルチポートメモリはシングルポートメモリによって構成されているので、回路面積を大きくする必要がない。

【0004】

【発明が解決しようとする課題】しかしながら、階層構造型マルチポートメモリは、データの入出力機能及びシングルポートメモリへの接続機能を有する必要があるため、通常のマルチポートメモリでは必要のないアドレス及びデータ転送回路を有する必要がある。

【0005】本発明の目的は、占有面積を大幅に減少させながらテラビット級のアクセスバンド幅（バンド周波

数）を達成することができる階層構造型マルチポートメモリ用アドレス及びデータ転送回路を提供することである。

【0006】

【課題を解決するための手段】本発明による階層構造型マルチポートメモリ用アドレス及びデータ転送回路は、外部の複数のポートのうちのいずれかのポートからのアクセス要求に応じて、対応するシングルポートメモリを動作可能にする起動手段と、この起動手段の起動によって前記ポートからのアドレスを選択するとともに、そのアドレスを前記シングルポートメモリに転送するアドレス選択及び転送手段と、前記起動手段の起動によって前記ポートからのデータを選択するとともに、そのアドレスを前記シングルポートメモリに転送するデータ選択及び転送手段とを具えることを特徴とするものである。

【0007】本発明によれば、起動手段は、外部の複数のポートのうちのいずれかのポートからのアクセス要求に応じて、対応するシングルポートメモリを動作可能にする。この際、アドレス選択及び転送手段は、起動手段の起動によってアドレスを選択するとともに、そのアドレスをシングルポートメモリに転送する。同時に、データ選択及び転送手段は、起動手段の起動によってデータを選択するとともに、そのデータをシングルポートメモリに転送し又はシングルポートメモリから転送する。

【0008】このようなアドレス及びデータ転送回路によって、占有面積を大幅に減少させながらテラビット級のアクセスバンド幅を達成することができる階層構造型マルチポートメモリを実現することができる。

【0009】好適には、前記起動手段が、前記複数のポートの各々に対応する選択信号が外部から入力されるとともに、前記アドレス選択手段にアドレス選択信号を出力するアドレス選択起動手段と、前記複数のポートの各々に対応する外部からの読出し／書込み信号及び対応する前記アドレス選択起動手段からのアドレス選択信号が入力されるとともに、これら読出し／書込み信号及びアドレス選択信号に基づいた読出し信号及び書込み信号を出力する読出し／書込み動作起動手段と、前記アドレス選択信号が入力されるとともにその論理和を前記アドレス選択手段及び前記シングルポートメモリに出力する第 1 論理和演算手段と、前記書込み信号が入力されるとともにその論理和を前記シングルポートメモリに出力する第 2 論理和演算手段とを有する。

【0010】好適には、前記アドレス選択手段を、外部からのアドレス信号をマルチプレクサ処理してその出力を前記シングルポートメモリに入力するマルチプレクサによって構成する。

【0011】好適には前記データ選択手段を、外部からのデータをマルチプレクサ処理してその出力を前記シングルポートメモリに出力するマルチプレクサと、前記シングルポートメモリからのデータをデマルチプレクサ処

理してその出力を外部に出力するデマルチプレクサとによって構成する。

#### 【0012】

【発明の実施の形態】本発明によるアドレス及びデータ転送回路を、図面を参照して詳細に説明する。図1は、本発明によるアドレス及びデータ転送回路を有する階層構造型マルチポートメモリの線形図である。N (Nを2以上の整数とする。) ポート有するとともに第2階層のみを示したこの階層構造型マルチポートメモリは、一列に配置されたM個のシングルポートメモリ1-1~1-Mと、これらシングルポートメモリ1-1~1-Mに対応するアドレス及びデータ転送回路2-1~2-Mと、第2階層のアドレスデコーダ(図示せず)のポートと対応するシングルポートメモリとの接続を行う接続回路3と、各時点で1ポートのみが1個のシングルポートメモリにアクセスできるようにする衝突処理回路4とを具える。本例では、ワード長を1ビットにする。

【0013】シングルポートメモリ1-1~1-Mをそれぞれ、データ入力部、データ出力部、アドレスデコーダ(いずれも図示せず)等を有する従来既知の任意の構成のものとする。

【0014】アドレス及びデータ転送回路2-1~2-Mの各々は、各々がk (kを1以上の整数とする。) ビットを有する対応するシングルポートメモリ用のM個の外部選択信号 $S_1 \sim S_M$ を接続回路3から入力されるとともに、各々が $m_1$  ( $m_1$ を1以上の整数とする。) ビットを有するクロックレベルのN個の第1階層のアドレス信号 $A_{1,level1}$ 及びN個の外部読出し/書込み信号R/W。 ( $1 \leq n \leq N$ ) が外部から入力される。また、アドレス及びデータ転送回路2-1~2-Mの各々に、N個のデータ信号D<sub>n</sub>を接続回路3を通じて入出力する。

【0015】接続回路3は、各々が $m_2$  ( $m_2$ を1以上の整数とする。) ビットを有する外部からのN個の第2階層のアドレス信号 $A_{2,level2}$ 及びN個の外部読出し/書込み信号R/W。並びに衝突処理回路4からのN個の衝突規制信号が入力される。衝突処理回路4は、第2階層のアドレスビット $A_{2,level2}$ が入力されるとともにN個の衝突状況信号を外部に出力する。なお、衝突処理回路4は、アクセスサイクル内で1個のシングルポートメモリに2ポート以上アクセスすることがないことを保証する。

【0016】図1に示したマルチポートメモリ及び接続回路3の詳細な構成及び動作は、例えば上記文献に開示されており、衝突処理回路4の詳細な構成及び動作は、例えば、1998年11月22~24日にオランダ国のハーグで発行されたProc. 24th European Solid-State Circuits Conf., の140~143ページの“An Area-Efficient Circuit Concept for Dynamical Conflict Ma-

agement of N-Port Memories with Multi-GBits Access Bandwidth”に開示されており、ここでは詳細に説明しない。

【0017】図2は、本発明によるアドレス及びデータ転送回路の実施の形態の構成図である。これは、階層構造型マルチポートメモリの第1階層のうちのアドレス及びデータ転送回路のみを示したものであり、図1のアドレス及びデータ転送回路2-1~2-Mのうちの任意の1個に対応する。このアドレス及びデータ転送回路は、対応するシングルポートメモリ(図示せず)を動作可能にする起動回路5と、アクセスを要求するポート(ポートn)からのアドレスを選択するアクティブアドレス選択回路6と、アクセスを要求するポートからのデータを選択するアクティブデータ選択回路7とを有する。

【0018】起動回路5は、外部のNポートのうちのいずれかのポートからのアクセス要求に応じて、アクティブアドレス選択回路6及びアクティブデータ選択回路7を起動させるとともに対応するシングルポートメモリ(図示せず)を動作可能にする。具体的には、起動回路5に、図1の外部選択信号 $S_1 \sim S_M$ のうちのいずれかに対応する各ポートからのkビット信号の外部選択信号 $S_{k,n}$ 及び各ポートからの1ビット信号の外部読出し/書込み信号R/W。が外部から入力されるとともに、起動回路5は、N個のアドレス選択信号 $S_{A,n}$ をアクティブアドレス選択回路6に出力し、N個の読出し選択信号 $S_R$ 。及びN個の書込み選択信号 $S_W$ 。をアクティブデータ選択回路7に出力し、シングルポートメモリの例えばアドレスデコーダ(図示せず)を駆動させるシングルポートメモリ起動信号 $S_{1,level1}$ をシングルポートメモリ及びアクティブアドレス選択回路6に出力し、かつ、対応するシングルポートメモリで読出し又は書込み動作を行うための読出し/書込み信号 $R/W_{1,level1}$ をシングルポートメモリの入力部(図示せず)に出力する。起動回路5の詳細な構成は後に説明する。

【0019】外部選択信号 $S_{k,n}$ のビット数kは、シングルポートメモリの配置に依存し、図1に示したようにシングルポートメモリを一列に配置した場合には $k=1$ で十分である。なお、集積化に適したマトリクス配置にした場合には $k=2$ となり、3次元的な配置であれば $k=3$ となる。

【0020】アクティブアドレス選択回路6は、アドレス選択信号 $S_{A,n}$ 及びアドレスデコーダ起動信号 $S_{1,level1}$ の他に、各々が $m_1$  ビットを有するN個の第1階層のアドレス信号 $A_{1,level1}$ が入力され、 $m_1$  ビットのアドレス信号 $A_{1,level1}$ をシングルポートメモリのアドレスデコーダ(図示せず)に出力する。このアクティブアドレス選択回路6は、ポートiからの $m_1$  ビットの第1階層のアドレス信号 $A_{1,level1}$ を選択し、それをアドレス信号 $A_{1,level1}$ としてシングルポートメモリのア

ドレスデコーダ（図示せず）に出力するように作用するので、N入力1出力マルチプレクサによって構成するのが好適である。アクティブアドレス選択回路6の詳細な構成は後に説明する。

【0021】アクティブデータ選択回路7は、シングルポートメモリの入力部（図示せず）との間でデータ信号  $D_{internal}$  を入力し及びその出力部からデータ信号  $D_{internal}$  を出力し、N個の読出し選択信号  $SR$ 、及びN個の書込み選択信号  $SW$  が入力され、接続回路3（図1）を通じて外部からN個のデータ信号  $D$  を入力し及び外部にそのデータ信号  $D$  を出力する。このアクティブデータ選択回路7は、アクセス要求しているポートのデータ線とシングルポートメモリの内部データ線とを接続する機能を有する。また、アクティブデータ選択回路7は、データ信号を外部からシングルポートメモリへ又はシングルポートメモリから外部に送信することができるようにする必要がある。したがって、アクティブデータ選択回路7を双方向N入力1出力/1入力N出力マルチプレクサ/デマルチプレクサによって構成するのが好適である。アクティブデータ選択回路7の詳細な構成は後に説明する。

【0022】なお、本例では、外部のNポートの各々のデータのビット幅を1とするが、ビット幅が  $w$  ( $w$  を2以上の整数とする。) の一般的な場合には、データ信号  $D_{internal}$  及び  $D$  のビット幅がそれぞれ  $w$  となる。

【0023】図3は、図2の起動回路の回路図である。この起動回路は、外部のポート1～ポートNの各々に対応するN個のアドレス選択起動回路8-1, 8-2, ..., 8-N及びN個の読出し/書込み動作起動回路9-1, 9-2, ..., 9-Nと、N入力ORゲート10及び11とを有する。

【0024】これらアドレス選択起動回路8-1, 8-2, ..., 8-Nは、N個の外部選択信号  $S_{11}, S_{21}, \dots, S_{k1}; S_{12}, S_{22}, \dots, S_{1k}; \dots; S_{1N}, S_{2N}, \dots, S_{kN}$  がそれぞれ入力されるとともにアドレス選択信号  $SA_1, SA_2, \dots, SA_N$  をアクティブアドレス選択回路6（図2）にそれぞれ出力する。なお、アドレス選択起動回路8-1, 8-2, ..., 8-Nの各々を、例えば、図4に示すような  $k$  入力ANDゲート12とする。

【0025】これら読出し/書込み動作起動回路9-1, 9-2, ..., 9-Nは、アドレス選択信号  $SA_1, SA_2, \dots, SA_N$  のうちの対応するもの及び外部読出し/書込み信号  $R/W_1, R/W_2, \dots, R/W_N$  のうちの対応するものが入力されるとともに対応する読出し選択信号  $SR_1, SR_2, \dots, SR_N$  又は対応する書込み選択信号  $SW_1, SW_2, \dots, SW_N$  をアクティブデータ選択回路7（図2）に出力する。

【0026】読出し/書込み動作起動回路9-1, 9-

2, ..., 9-Nの各々を、図5に示すように2個の2入力ANDゲート13及び14と、インバータ15とによって構成する。この場合、対応するポート（ポート  $n$ ）が選択されなかった場合 ( $SA_n = 0$ )、読出し選択信号  $SR$ 、及び書込み選択信号  $SW$  は共に0になる。また、対応するポートが選択された場合 ( $SA_n = 1$ )、読出し動作と書込み動作のうちのいずれを実行するか、すなわち、読出し選択信号  $SR$ 、及び書込み選択信号  $SW$  のうちのいずれを1にするかを決定する。

【0027】N入力ORゲート10は、対応する入力部にそれぞれ入力されるアドレス選択信号  $SA_1, SA_2, \dots, SA_N$  の論理和としてシングルポートメモリ起動信号  $S_{internal}$  を出力する。N入力ORゲート11は、対応する入力部にそれぞれ入力される書込み選択信号  $SW_1, SW_2, \dots, SW_N$  の論理和として読出し/書込み信号  $R/W_{internal}$  を出力する。

【0028】図6は、図2のアクティブアドレス選択回路の回路図である。このアクティブアドレス回路を、外部のポート1～ポートNの各々に対応するN個のトランスミッションゲート16-1, 16-2, ..., 16-Nと、これらトランスミッションゲートのうちのいずれかの出力が入力されるアドレスバッファ17と、N個のP型トランジスタのスイッチ18とによって構成されたマルチプレクサ回路とする。

【0029】トランスミッションゲート16-1, 16-2, ..., 16-Nはそれぞれ、アドレス選択信号  $SA_1, SA_2, \dots, SA_N$  によって制御される。このようにして、アクセスしたポートのアドレスビットのみが内部のノードに変換され、アドレスデコーダ17に接続される。

【0030】いずれのポートもシングルポートメモリ（図示せず）にアクセスされない場合、シングルポートメモリ起動信号  $S_{internal}$  は0になり、トランスミッションゲートの各々を通過した後、別のフローティングノードは、スイッチ18によって、定義された電圧値にプリチャージされる。図6の場合、プリチャージ電圧を電源電圧  $V_{dd}$  とする。当然、原理的にはプリチャージを他の電圧によって行うことも可能である。図7にトランスミッションゲートの回路図を示すが、図の  $p$  及び  $n$  はトランジスタの導電型を示す。

【0031】図8は、アクティブデータ選択回路の回路図である。このアクティブデータ選択回路は、外部のポート1～ポートNの各々に対応するN個の双方向通信バッファ19-1, 19-2, ..., 19-Nを有する。これら双方向性バッファ19-1, 19-2, ..., 19-Nの各々は、対応する外部のポートとシングルポートメモリの入力部又は出力部とを接続するように作用する。

【0032】図9は、双方向通信バッファの回路図である。この回路のトライステートバッファ20は、読出し

動作を行う際に読出し選択信号  $SR_n$  によって起動され、トライステートバッファ 21 は、書込み動作を行う際に書込み選択信号  $SW_n$  によって起動される。図 10 にトライステートバッファの回路図を示す。図 10 において、 $n$  及び  $p$  をトランジスタの導電型とし、 $IN$ 、 $OUT$ 、 $V_{dd}$ 、 $V_{ss}$  及び  $Control$  はそれぞれ、入力部、出力部、電源供給電圧、基準電圧及び読出し選択信号  $SR_n$ 。又は書込み選択信号  $SW_n$ 。とする。

【0033】本実施の形態の動作を説明する。ポート  $n$  が対応するシングルポートメモリにアクセスを要求すると、外部選択信号  $S_{kn}$  及び読出し／書込み信号  $R/W_n$  が起動回路 5 に供給されるとともに、第 1 階層のアクセス信号  $A_{n,level1}$  がアクティブアドレス選択回路 6 に供給され、かつ、データ  $D_n$  がアクティブデータ選択回路 7 に供給される。

【0034】衝突処理回路 4 は、最大 1 ポートのアクセスをアクセスサイクルごとにシングルポートメモリに接続する。これによって、外部選択信号  $S_{kn}$  は 1 個のポート  $n$  に対してシングルポートメモリを起動させることができる。

【0035】ポート  $i$  は、対応する全ての外部選択信号  $S_{ki}$  が 1 であると、対応するシングルポートメモリにアクセスできるようになる。この場合、起動回路 5 は、1 のアドレス選択信号  $SA_{(i)}$  及び 1 のシングルポートメモリ起動信号  $S_{internal}$  を生成する。

【0036】読出し／書込み信号  $R/W_n$  が 0 の場合、起動回路 5 は書込み信号  $SW_n$  を生成し、読出し信号  $SR_n$  は 0 のままである。書込み信号  $SW_n$  のうちの 1 個が 1 になれば、読出し／書込み信号  $R/W_{internal}$  が 1 となり、シングルポートメモリは書込みモードに切り替わる。それに対して、読出し／書込み信号  $R/W_{internal}$  が 0 の場合、シングルポートメモリは読出しモードに保持される。なお、他の全てのポートの読出し信号、書込み信号及びアドレス信号は 0 に保持される。その理由は、これらのポートが選択されていないからである。

【0037】1 のアドレス選択信号  $SA_n$  が起動回路 5 によって生成されると、アクティブアドレス選択回路 6 は、ポート  $n$  のアドレスビットをシングルポートメモリのデコーダに接続するとともに、1 のシングルポートメモリ起動信号  $S_{internal}$  によってシングルポートメモリデコーダを起動させる。これによって、特定のシングルポートメモリへのアクセス経路が起動され、読出し／書込み信号  $R/W_{internal}$  に応じて読出し動作と書込み動作のうちのいずれを実行するかを決定する。

【0038】読出し動作を行う、すなわち  $SR_n = 1$  及び  $SW_n = 0$  の場合、シングルポートメモリから読み出されたデータ  $D_{internal}$  は、アクティブデータ選択回路 7 でデマルチプレクサ処理され、このようにマルチプレクサ処理されたデータ  $D_n$  がポート  $n$  に出力される。

【0039】書込み動作を行う、すなわち  $SR_n = 0$  及

び  $SW_n = 1$  の場合、ポート  $n$  からのデータ  $D_n$  をシングルポートメモリの入力部に伝達するトライステートバッファ 21 を起動させる。このようにして、ポート  $n$  からのデータ  $D_n$  がシングルポートメモリに正確に書き込まれる。

【0040】対応するシングルポートメモリが選択されない場合、全てのアドレス選択信号  $SA_n$ 、読出し選択信号  $SR_n$ 。及び書込み選択信号  $SW_n$  は 0 に保持される。その結果、アドレス及びデータ転送回路は、全てのポートのアドレス及びデータを対応するシングルポートメモリから分離する。さらに、0 のシングルポートメモリ起動信号  $S_{internal}$  によってシングルポートメモリのデコーダの動作を停止させる。

【0041】このようなアドレス及びデータ転送回路は、占有面積を大幅に減少させながらテラビット級のアクセスバンド幅を達成することができる階層構造型マルチポートメモリを実現するために不可欠である。従来のマルチポートメモリでは占有面積がポート数の 2 乗で大きくなるので、ポート数の多いマルチポートメモリを構成する場合、階層構造型マルチポートメモリでは従来のマルチポートメモリに比べて占有面積（シリコン面積）を大幅に減少させることができる。例えば、本発明によるアドレス及びデータ転送回路を具える階層構造型マルチポートメモリが 32 ポートを有する場合、32 ポートを有する従来のマルチポートメモリに比べて占有面積が数分の 1 になることが見積もられる。具体的には、シングルポートメモリを ROM や DRAM のように小型のメモリとした場合、必要な占有面積が 50 分の 1 以下になることが見積もられ、シングルポートメモリを SRAM のような大型のメモリとした場合でも、20 分の 1 以下になることが見積もられる。

【0042】本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。例えば、起動回路、アクティブアドレス選択回路及びアクティブデータ選択回路を、上記実施の形態以外の他の構成とすることができる。また、 $p$  型のトランジスタ  $n$  型にするとともに、 $n$  型のトランジスタを  $p$  型のトランジスタにすることもできる。さらに、上記信号の値 1 を値 0 にするとともに値 0 を値 1 にすることもできる。

#### 【図面の簡単な説明】

【図 1】 本発明によるアドレス及びデータ転送回路を有するマルチポートメモリの線形図である。

【図 2】 本発明によるアドレス及びデータ転送回路の実施の形態の構成図である。

【図 3】 図 2 の起動回路の回路図である。

【図 4】 図 3 のアドレス選択動作起動回路の回路図である。

【図 5】 図 3 の読出し／書込み動作起動回路の回路図である。

【図 6】 図 2 のアクティブアドレス選択回路の回路図

である。

【図7】 図6のトランスマッションゲートの回路図である。

【図8】 図2のアクティブデータ選択回路の回路図である。

【図9】 図8の双方向通信バッファの回路図である。

【図10】 図8のトライステートバッファの回路図である。

【符号の説明】

- 1-1~1-M シングルポートメモリ
  - 2-1~2-M アドレス及びデータ転送回路
  - 3 接続回路
  - 4 衝突処理回路
  - 5 起動回路
  - 6 アクティブアドレス選択回路
  - 7 アクティブデータ選択回路
  - 8-1, 8-2, . . . , 8-N アドレス選択起動回路
  - 9-1, 9-2, . . . , 9-N 読出し／書込み動作起動回路
  - 10, 11 N入力ORゲート
  - 12 N入力ANDゲート
  - 13, 14 2入力NANDゲート
  - 15 インバータ
  - 16-1, 16-2, . . . , 16-N トランスマッション
- \* シングルポートメモリの  
アドレスデコーダへ

\* ションゲート

17 アドレスデコーダ

18 スイッチ

19-1, 19-2, . . . , 19-N 双方向性バッファ

20, 21 トライステートバッファ

【手続補正2】

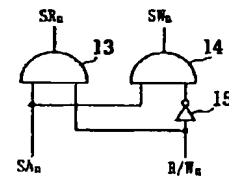
【補正対象書類名】 図面

【補正対象項目名】 図5

【補正方法】 変更

【補正内容】

【図5】



【手続補正3】

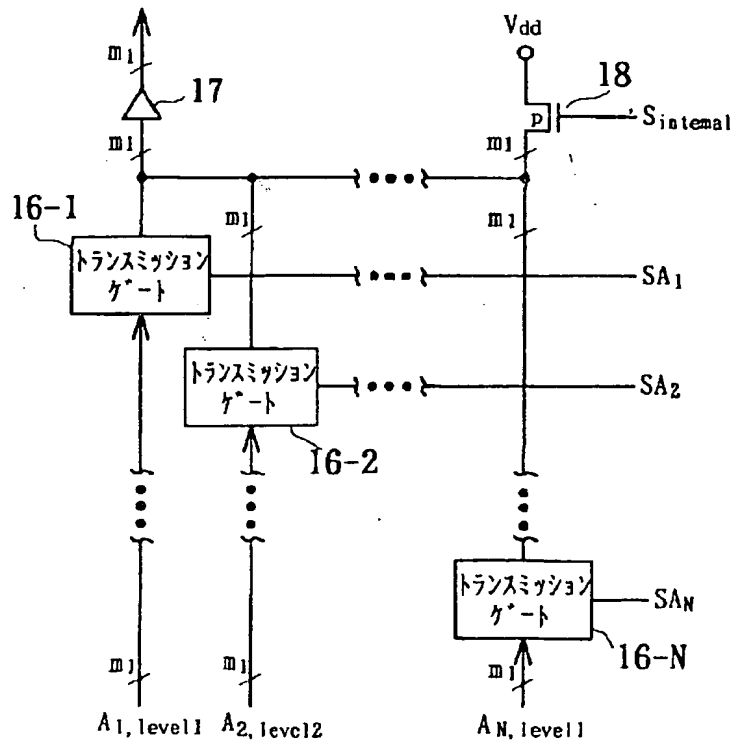
【補正対象書類名】 図面

【補正対象項目名】 図6

【補正方法】 変更

【補正内容】

【図6】



【手続補正4】

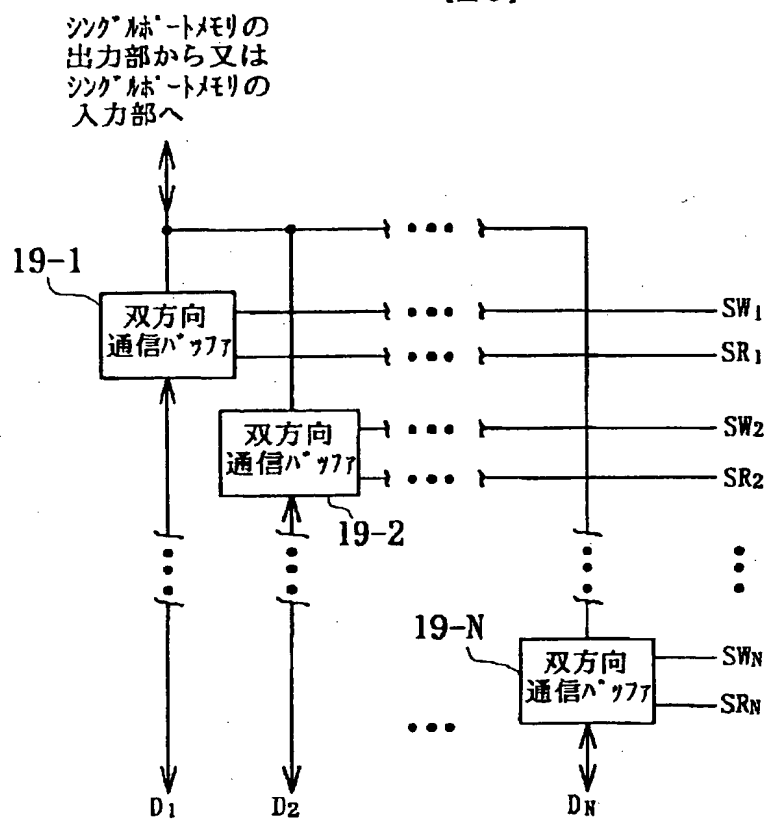
【補正対象書類名】 図面

【補正対象項目名】 図8

【補正方法】 変更

【補正内容】

\* \* 【図8】



【手続補正5】

【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】

